



XA-9956  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Yasuo SUGURE et al.

Appln. No.: 10/690,643

Group Art Unit: 2183

Filed: October 23, 2003

For: DATA PROCESSOR

\* \* \*

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese  
Patent Application No. 2002-320788 filed November 5, 2002,  
and submit herewith a certified copy of said application.

Respectfully submitted,

By: 

Mitchell W. Shapiro  
Reg. No. 31,568

MWS:lat

Miles & Stockbridge P.C.  
1751 Pinnacle Drive  
Suite 500  
McLean, Virginia 22102-3833  
(703) 903-9000

March 12, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 1 月    5 日  
Date of Application:

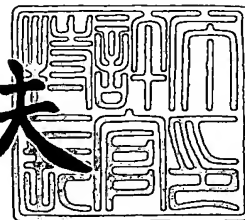
出 願 番 号            特 願 2 0 0 2 - 3 2 0 7 8 8  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 3 2 0 7 8 8 ]

出      願      人            株式会社ルネサステクノロジ  
Applicant(s):

2 0 0 3 年 1 0 月 2 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 6 4 3 8

【書類名】 特許願

【整理番号】 H02012761

【提出日】 平成14年11月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/42

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 勝 康夫

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 石倉 知己

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 平柳 和也

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 片岡 健

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 竹内 誠二

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内

【氏名】 山田 弘道

## 【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 山崎 尊永

## 【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

## 【代理人】

【識別番号】 100089071

## 【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

## 【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項 1】 ステータスレジスタと複数のレジスタバンクを利用して命令を実行するデータ処理装置であって、前記ステータスレジスタは前記複数のレジスタバンクのオーバーフローを示すためのオーバーフローフラグを有することを特徴とするデータ処理装置。

【請求項 2】 ステータスレジスタと所定のレジスタセットを有する中央処理装置と、前記所定のレジスタセットに応ずる複数のレジスタバンクと有し、前記複数のレジスタバンクは前記所定のレジスタセットが保有する記憶情報の退避に利用され、前記ステータスレジスタは複数のレジスタバンクのオーバーフローを示すためのオーバーフローフラグを有することを特徴とするデータ処理装置。

【請求項 3】 レジスタバンクの全てのバンクに退避が行われている状態で割り込み例外が発生し、受け付けられた割り込み例外がレジスタバンクの使用を許可されているとき、中央処理装置は、スタック領域にレジスタセットのデータを退避させ、前記オーバーフローフラグにオーバーフロー状態を反映させることを特徴とする請求項 2 記載のデータ処理装置。

【請求項 4】 オーバーフローフラグがオーバーフロー状態になっているとき、レジスタバンクからレジスタセットへのデータ復帰が指示されると、中央処理装置はスタック領域からレジスタセットにデータを復帰することを特徴とする請求項 3 記載のデータ処理装置。

【請求項 5】 レジスタバンクの全てのバンクに退避が行われている状態で割り込み例外が発生し、受け付けられた割り込み例外がレジスタバンクの使用を許可されていて、かつ所定の例外処理を実行するように指定されていた場合、中央処理装置は前記所定の例外処理ルーチンを実行し、レジスタバンクへの退避処理を実行しないことを特徴とする請求項 2 記載のデータ処理装置。

【請求項 6】 前記複数のレジスタバンクを構成する RAM と、前記 RAM と所定のレジスタセットの接続に専用化されたバスとを有し、前記バスは前記レジスタセットに含まれる複数のレジスタ単位で並列にデータ転送可能なビット数

を有することを特徴とする請求項 1 又は 2 記載のデータ処理装置。

【請求項 7】 前記中央処理装置は、割り込み例外の発生に応答して、前記ステータスレジスタとプログラムカウンタをスタック領域に退避すると共に、前記所定のレジスタセット内の情報の前記レジスタバンクへの退避処理を開始することを特徴とする請求項 2 記載のデータ処理装置。

【請求項 8】 割り込みの種類を示す要因又は優先レベルに応じて、レジスタバンクへの退避処理の有無を選択できることを特徴とする請求項 7 記載のデータ処理装置。

【請求項 9】 レジスタバンクへの退避処理を必ず実行する割り込みと、残りバンク数が少ない場合に、スタック領域を退避箇所として自動選択することができる割り込みの両方を備えることを特徴とする請求項 7 記載のデータ処理装置。

【請求項 10】 前記中央処理装置は、最後に退避されたレジスタバンクから前記所定のレジスタセットに記憶情報を復帰させるレジスタ復帰命令を命令セットに有することを特徴とする請求項 7 記載のデータ処理装置。

【請求項 11】 レジスタバンクが空の状態、前記レジスタ復帰命令を実行した場合、所定の例外処理を発生することを特徴とする請求項 10 記載のデータ処理装置。

【請求項 12】 前記命令セットは、割り込み例外処理でスタック領域に退避したプログラムカウンタの値とステータスレジスタの値をそれぞれ復帰させて元のプログラム実行処理に復帰可能にするリターン命令を有することを特徴とする請求項 10 記載のデータ処理装置。

【請求項 13】 所定のレジスタセットと複数のレジスタバンクを利用して命令を実行するデータ処理装置であって、前記複数のレジスタバンクは前記所定のレジスタセットが保有する記憶情報の退避に利用され、前記データ処理装置の命令セットは、最後に退避されたレジスタバンクから記憶情報を前記所定のレジスタセットに復帰させるレジスタ復帰命令と、割り込み例外処理でスタック領域に退避したプログラムカウンタの値とステータスレジスタの値をそれぞれ復帰させて元のプログラム実行処理に復帰させるリターン命令と、を別々に有すること

を特徴とするデータ処理装置。

【請求項 14】 所定のレジスタセットを有する中央処理装置と、前記所定のレジスタセットに応ずる複数のレジスタバンクと有し、前記複数のレジスタバンクは前記所定のレジスタセットが保有する記憶情報の退避に利用され、前記中央処理装置の命令セットには、最後に退避されたレジスタバンクから記憶情報を前記所定のレジスタセットに復帰させるレジスタ復帰命令と、割り込み例外処理でスタック領域に退避したプログラムカウンタの値とステータスレジスタの値をそれぞれ復帰させて元のプログラム実行処理に復帰させるリターン命令と、を別々に有することを特徴とするデータ処理装置。

【請求項 15】 前記データ処理装置は、割り込み例外処理を用いたタスクスイッチに際して、割り込み例外処理からの復帰において、前記レジスタ復帰命令を実行してスイッチ元タスクにおけるレジスタバンクのデータをレジスタセットに復帰し、復帰データを OS が管理する OS 内部テーブルに保存し、スイッチ先タスクのレジスタセットデータを OS 内部テーブルから前記所定のレジスタセットに復帰し、前記リターン命令を実行してスイッチ先タスクのプログラム実行処理に移行することを特徴とする請求項 14 記載のデータ処理装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、レジスタバンクを有するデータ処理装置、更には、割り込み例外（割り込み及び例外を総称する）処理やタスクスイッチに伴うレジスタセットの退避及び復帰に関し、例えばシングルチップマイクロコンピュータに適用して有効な技術に関する。

##### 【0002】

#### 【従来の技術】

割り込み例外処理、或はマルチタスク環境下でタスク切換え（タスクスイッチ）が行なわれるとき、元の状態に復帰可能なように、その時の汎用レジスタやステータスレジスタ等の所定のレジスタセットに対する退避が行なわれる。退避先として、外部メモリ等に割当てられるスタック領域を利用することも可能である

が、レジスタセットの退避及び復帰を高速化するためにレジスタバンクを用いることができる。レジスタバンク方式を利用することにより割込み応答時間の短縮が可能になる。

#### 【0003】

特許文献1には、汎用レジスタを内蔵RAM（ランダム・アクセス・メモリ）でバンク構成とし、そのための専用バスを設けたシングルチップマイクロコンピュータについて記載がある。特許文献2にはレジスタファイルと内蔵RAMの間に専用バスを設けたレジスタバンク構成の情報処理装置が記載される。特許文献3にはレジスタファイル構成として内蔵RAMとの間に専用のバスを設けた拡張中央処理装置について記載がある。

#### 【0004】

##### 【特許文献1】

特開平05-165641号公報

##### 【特許文献2】

特開平06-309169号公報

##### 【特許文献3】

特開平05-265753号公報

#### 【0005】

##### 【発明が解決しようとする課題】

本発明者は割込み応答時間の短縮化を契機としてレジスタバンク方式について検討した。まず、レジスタバンクに対するオーバーフローの考慮である。割り込み発生時、割り込み処理ルーチンの中でも、割り込み要因フラグクリアなどの緊急度の高いクリティカルなセクションだけその割り込みレベルでマスクし、その処理が終了した後は同じあるいは低いレベルの割り込みの再入力を受け付ける場合がある。このような、割り込みレベルを意図的に低くして割り込み処理を行う場合には、割り込みレベル数以上の割り込みが発生するため、割り込みレベル数分用意してあるレジスタバンクがオーバーフローしてしまう。そのため、オーバーフロー時の対策を施していないCPU（中央処理装置）では不所望にその動作が停止する虞がある。



**【0006】**

第2は、OS（オペレーティング・システム）を用いる場合に、割り込みでタスクスイッチを行なう場合についての考慮である。即ち、タスクスイッチに際して、タスク切換え前のレジスタセットのデータをOS内部テーブルに退避した後、切換え後のタスクに関するレジスタセットのデータをOS内部テーブルからレジスタセットに回復することが必要である。そうしなければ、再び元のタスクに戻ることができない。

**【0007】**

本発明はデータ処理装置におけるレジスタバンクの退避・復帰に関し、動作不良の虞を回避する技術を提供することにある。

**【0008】**

本発明の具体的な目的は、レジスタバンクのオーバーフローによる不所望な動作停止を生ずることのないデータ処理装置を提供することにある。

**【0009】**

本発明の別の具体的な目的は、タスクスイッチを伴う場合、タスクスイッチを伴わない場合の何れに対しても割り込みからの復帰を円滑に、且つ無駄無く行なうことができ、マルチタスク処理への適応性に優れたデータ処理装置を提供することにある。

**【0010】**

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

**【0011】****【課題を解決するための手段】**

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

**【0012】**

〔1〕ステータスレジスタと複数のレジスタバンクを利用して命令を実行するデータ処理装置において、前記ステータスレジスタは前記複数のレジスタバンクのオーバーフローを示すためのオーバーフローフラグを有する。

**【0013】**

本発明の更に具体的な形態として、データ処理装置は、ステータスレジスタと所定のレジスタセットを有する中央処理装置と、前記所定のレジスタセットに応ずる複数のレジスタバンクとを有し、前記複数のレジスタバンクは割り込み発生時に前記所定のレジスタセットが保有する記憶情報の退避に利用され、前記ステータスレジスタは複数のレジスタバンクのオーバーフローを示すためのオーバーフローフラグを有する。

**【0014】**

上記オーバーフローフラグを設けることにより、レジスタセットへのデータ復帰処理では、レジスタバンクのオーバーフローを認識することができる。

**【0015】**

例えば、レジスタバンクの全てのバンクに退避が行われている状態で割り込み例外（割り込み要求）が発生し、受け付けられた割り込み例外がレジスタバンクの使用を許可されているとき、中央処理装置は、スタック領域にレジスタセットのデータを退避させ、前記オーバーフローフラグにオーバーフロー状態を反映させる。そして、オーバーフローフラグがオーバーフロー状態になっているとき、レジスタバンクからレジスタセットへのデータ復帰が指示されると、中央処理装置はスタック領域からレジスタセットにデータを復帰する。

**【0016】**

ここで注意すべきは、割り込み例外処理においては、少なくともオーバーフローフラグを持つステータスレジスタとプログラムカウンタをスタック領域に退避する動作を行い、かつ、割り込み復帰命令（RTE命令）は、前記スタック領域から、プログラムカウンタとステータスレジスタの値を復帰する動作を行うことが条件である。すなわち、割り込みサービス処理の多重処理を考えた場合でも、どの割り込みサービスルーチン中からでも、ステータスレジスタ中のオーバーフローフラグ（オーバーフロービット）を観測すれば、当該割り込みによってレジスタバンクがオーバーフローしたかどうかを知ることができる。

**【0017】**

ただし、OSによるタスク切換えを割り込みで行っている場合は、割り込みサ

ービスルーチンからの復帰命令（RTE命令）の実行前に、切換え先タスクに対応するステータスレジスタ値を復帰値が置かれるスタック領域にあらかじめ準備しておく必要がある。しかし、これはOSでのタスク切換え処理での必然の動作であり、今回の発明によって余分に増える処理とはならない。

#### 【0018】

これにより、レジスタバンクのオーバーフローによるデータ処理装置の不所望な動作停止を抑止することができる。

#### 【0019】

レジスタバンクの全てのバンクに退避が行われている状態で割り込み例外が発生し、受け付けられた割り込み例外がレジスタバンクの使用を許可されていないときは、中央処理装置は所定の例外処理ルーチンを実行すればよい。

#### 【0020】

前記複数のレジスタバンクをRAMで構成し、前記RAMと所定のレジスタセットの接続に専用化されたバスを採用し、前記バスには前記レジスタセットに含まれる複数のレジスタ単位で並列にデータ転送可能なビット数を与える。専用化されたバスによるレジスタセットの待避処理に並行して割り込み例外処理の実行が可能になり、割り込み応答速度を更に高速化可能になる。要するに、複数レジスタ同時退避により、割り込み処理時間（割り込み応答性能・割り込み復帰性能）を向上させることができる。バンク領域を専用バス接続し並列処理することにより、見かけ上レジスタ退避・復帰処理オーバーヘッドを低減する事ができる。

#### 【0021】

〔2〕割り込み例外処理を利用してOSによるタスクスイッチを行なう場合に着目する。前記中央処理装置は、割り込み例外処理の発生に応答して前記レジスタバンクへの退避処理を開始する。割り込みサービスルーチンから復帰するとき、前記中央処理装置は、レジスタ復帰命令（RESBANK命令）を実行し、最後に退避されたレジスタバンクから前記所定のレジスタセットに記憶情報を復帰する。このとき、割り込みサービスルーチンからの復帰先が別のタスクである場合、すなわちタスクスイッチを行なう場合、OSにより、中央処理装置はスイッチ前のタスクの汎用レジスタをOSの管理領域に保存し、スイッチ後のタスクに

関する保存データを OS の管理領域からレジスタセットに復帰する。この後、中央処理装置は、OS によって調整された、スタック領域に格納されているプログラムカウンタの値とステータスレジスタの値をそれぞれ復帰させてスイッチ先のプログラム実行処理を開始可能にするリターン命令（RTE 命令）を実行する。ここで重要なことは、割り込みによりレジスタバンクへレジスタ群の値を退避する中央処理装置において、OS によるタスク切換えを行う場合は、その中央処理装置は、前記レジスタ復帰命令（RES BANK 命令）とリターン命令（RTE 命令）を別々に持つ必要がある。タスクスイッチを全く伴わなければ、上記レジスタ回復命令の処理に続く OS によるタスクスイッチ用の処理は不要であり、前記レジスタ復帰命令の処理とリターン命令の処理を分ける必要がなく、割り込みサービスルーチンからの復帰命令（RTE 命令）において、レジスタバンクからの復帰動作も一括して実施すればいい。しかし前述のとおり双方の命令を一つの命令にすると、タスク切換えを行なうことが困難になる。

#### 【0 0 2 2】

本発明の更に具体的な形態では、前記データ処理装置は OS の制御に基づいて割り込み例外処理が可能にされ、また、割り込み例外処理を用いてタスクスイッチが可能にされる。割り込み例外処理では、前記所定のレジスタセットをレジスタバンクに退避して、割り込み例外処理ルーチン（割り込みサービスルーチン）を実行し、割り込み例外処理ルーチンからの復帰において、前記レジスタ復帰命令（RES BANK 命令）を実行して最後の退避に利用されたレジスタバンクのデータをレジスタセットに回復し、前記リターン命令（RTE 命令）を実行して元のプログラム実行処理に復帰する。割り込み例外処理を用いたタスクスイッチでは、割り込み例外処理ルーチンからの復帰において、前記レジスタ復帰命令を実行してスイッチ元タスクにおけるレジスタバンクのデータをレジスタセットに復帰し、復帰データを OS が管理する領域に保存し、スイッチ先タスクのレジスタセットデータを OS 管理領域から前記所定のレジスタセットに回復し、前記リターン命令を実行して、スイッチ先タスクのプログラム実行処理に移行する。

#### 【0 0 2 3】

#### 【発明の実施の形態】

## 《レジスタバンク》

図1には本発明の一例に係るデータプロセッサのブロック図が例示される。同図に示されるデータプロセッサ1は、例えばCMOS集積回路製造技術により単結晶シリコンのような1個の半導体基板（半導体チップ）に形成されている。

## 【0024】

同図に示されるデータプロセッサ1は、代表的に示されたCPU2、バンクメモリ3、割り込みコントローラ（INTC）4、バスステートコントローラ（BSC）5、ROM（リード・オンリ・メモリ）6、及びRAM7を有して成る。

## 【0025】

CPU2はデータバス10及びデータアドレスバス11を介してRAM7に、命令データバス12及び命令アドレスバス13を介してROM6に接続される。RAM7はCPU2のワーク領域もしくはデータ一時記憶領域とされる。ROM6はCPU2の動作プログラムとして例えばOSや制御プログラムが格納される。前記バス10～13はバスステートコントローラ5を介して周辺データバス14及び周辺アドレスバス15にインタフェースされ、ここには割り込みコントローラ4、I/Oポート16などの外部入出力回路が設けられる。前記バンクメモリ3は複数のレジスタバンクRBK0～RBKiを構成し、レジスタバンク専用バス17でCPU2に接続される。前記I/Oポート16は図示を省略するデータプロセッサ外部のバスと接続される。

## 【0026】

CPU2は、命令レジスタ20にフェッチした命令を命令デコーダ21で解読し、解読結果にしたがってレジスタ回路23、演算回路24、アドレス演算回路25及びシステムコントローラ26などを制御して、その命令を実行する。アドレス演算回路25は、プログラムカウンタ（PC）27が保有する命令アドレスやレジスタ回路23が保有するアドレス情報などに従って、命令アドレスを命令アドレスバス13に、オペランドアドレスをデータアドレスバス11に出力する。前記割り込みコントローラ4はデータプロセッサの内外からの割り込み要求を入力し、割り込み優先レベルなどにしたがって割り込み要求を調停し、割り込み要求を受付けるとCPU2に割り込み信号IRQをアサートする。割り込み信号IR

Qとしては、割り込みベクタ番号（IVN）の情報を含む複数の信号線からなる形態が考えられる。

#### 【0027】

演算回路24は夫々図示を省略する算術論理演算器、シフタ、乗算器等によって構成される。レジスタ回路23は、汎用レジスタR0～R15（SP）、乗算レジスタMACH、MACL、プロシージャレジスタPR、グローバルベースレジスタGBR、リードデータバッファレジスタRBR、ライトデータバッファレジスタWDR、及びステータスレジスタSR等を有する。

#### 【0028】

前記汎用レジスタR0～R15は、アドレスレジスタとしてもデータレジスタとしても使用することができる。汎用レジスタR15には、汎用レジスタとしての機能に加えて、スタックポインタSPとしての機能が割当てられる。割り込み時やサブルーチンコール時の戻り先アドレスや汎用レジスタなどに対する退避、復帰は、スタックポインタSPを用いてスタック領域との間で行なわれる。前記スタックポインタSPはスタック領域のスタック可能なアドレスを指す。スタック領域は例えば前記RAM7、又は前記I/Oポート16に接続される外部バス上のメモリ（図示せず）に割当てられる。

#### 【0029】

プログラムカウンタ（PC）27はCPU2が実行する命令のアドレスを示す。ステータスレジスタSRは、CPU2の状態を示すレジスタである。プロシージャレジスタPRはサブルーチンコール時に戻り先アドレスを格納する。

#### 【0030】

図2にはレジスタバンクと退避・復帰対象のレジスタセットが例示される。ここでは、割り込み処理におけるレジスタ退避・復帰を、従来のスタック領域ではなく、レジスタ退避専用バンク領域としてレジスタバンクRBK0～RBKiを利用する。レジスタバンクRBK0～RBKiはバンクメモリ3のメモリセルアレイに割当てられる。バンクメモリ3は例えばSRAM（スタティック・ランダム・アクセス・メモリ）から構成される。

#### 【0031】

退避・復帰対象レジスタは、割り込みによってその内容が破壊される虞のある所定のレジスタセットとされ、例えば、汎用レジスタ R0～R14、グローバルベースレジスタ GBR、乗算レジスタ MACH、MACL、プロシージャレジスタ PR、およびデバック情報としての当該割り込みに対応するベクタ番号 (IVN) とされる。レジスタバンク RBK0～RBKi には夫々前記レジスタセットを保持することができる記憶容量が割当てられる。

#### 【0032】

レジスタバンク RBK0～RBKi の数は割り込みがネスト（割り込みが多重）する度にレジスタ退避・復帰する必要があるため、最低限、割り込みレベル数分だけレジスタバンクを用意することが望ましい。例えば割込み優先レベルが 15 段階あれば、レジスタバンク RBK0～RBKi は 15 個備えられるべきである。

#### 【0033】

前記所定のレジスタセット R0～R14、GBR、MACH、MACL、PR、及びベクタ番号 IVN は割り込み発生時の CPU 処理で自動的に所定のレジスタバンクにストアされる。レジスタバンクにストアされた所定のレジスタセットのデータ（レジスタセットデータ）をレジスタセットに復帰する処理は CPU2 が所定のレジスタ復帰命令を実行する事により行なわれる。ここでは所定のレジスタ復帰命令として RESBANK 命令を採用する。

#### 【0034】

##### 《退避・復帰用の制御レジスタ》

図 3 には所定のレジスタセットに対する退避・復帰用の制御レジスタの一例が示される。割り込みコントローラ 4 にはバンクコントロールレジスタ IBCR、バンク番号レジスタ IBNR が設けられる。バンクコントロールレジスタ IBCR は割り込み優先レベル或は割込要因（割り込み要求）に対して、レジスタバンク RBK0～RBKi 使用の許可／禁止を設定するレジスタである。ここでは、割り込み優先レベルが 1～15 とされ、レベルが大きいほど割り込み優先度が高いとされ、0 はマスクされる。さらに、その夫々に対して、レジスタバンク使用の許可／禁止を設定する E1～E15 がビット 1～ビット 15 に割当てられる。

“0”は使用禁止、“1”は使用許可を意味する。ビット0は予約ビットとされる。

#### 【0035】

図3に示されるバンク番号レジスタIBNRは、マスタイネーブルME、バンク番号BNのフィールドを有する。マスタイネーブルMEの“00”は全ての割り込みでレジスタバンクの使用を禁止することを意味する。このとき、バンクコントロールレジスタIBCRの状態は無視される。マスタイネーブルMEの“01”はNMI（ノン・マスカブル・インタラプト）以外の全ての割り込みでバンク使用を許可することを意味する。マスタイネーブルMEが“11”のときはレジスタバンクの使用はバンクコントロールレジスタIBCRの設定に従う。マスタイネーブルMEの“10”は予約とされる。バンク番号BNは、次に退避されるバンク番号を示す。

#### 【0036】

##### 《レジスタバンクのF I L O制御》

前記レジスタバンクRBK0～RBKiの動作形態はF I L O（ファーストイン・ラストアウト）動作、即ち先入れ・後出し動作される。レジスタバンクRBK0～RBKiのF I L O動作にはシステムコントローラ26及び命令デコーダ21の制御が介在される。前記バンク番号BNはシステムコントローラ26に与えられる。システムコントローラ26は割り込みコントローラ4から割り込み信号IRQが与えられ、命令デコーダ21から所定の命令デコード信号が与えられる。その他に図示を省略するモード信号などが与えられる。システムコントローラ26は命令実行のフロー制御、動作モード制御、バンクメモリ3のアクセス制御等を行なうロジック回路とされる。

#### 【0037】

図4にはレジスタバンクRBK0～RBKiの動作形態が示される。ここでは、システムコントローラ26によるバンクメモリ3のF I L Oアクセス制御を説明する。リセット直後のバンク番号BNの値は0である。レジスタバンクを使用する割り込みが受けられると、システムコントローラ26がバンク番号BNが示すバンクにレジスタセットの退避を行ない、バンク番号BNを+1する。RE



S BANK命令が実行されると、システムコントローラ 26 はバンク番号 BN を -1 した後、バンク番号 BN が示すレジスタバンクから前記所定のレジスタセットに対するレジスタセットデータの回復（データ復帰）を行なう。ここではバンク番号 BN に対するインクリメント及びデクリメントの演算は割り込みコントローラ 4 の内部でインクリメンタ・デクリメンタ 29 により行なわれる。

#### 【0038】

##### 《CPU処理とレジスタ退避処理の並列化》

図5には割り込み発生時のCPU例外処理と並行してレジスタ退避処理が可能にされる様子が例示される。前記所定のレジスタセットの各レジスタは例えば32ビットとされる。このとき、レジスタバンク操作作用の前記専用バス17は、例えば4個のレジスタを並列に入出力可能な128ビットとされる。専用バス17をそのようにワイドバス幅とすれば、複数レジスタを同時に転送可能となり、転送効率が上がる。レジスタバンク操作作用のバス17はそれに専用化されるから、CPU2は他の処理と並行してレジスタセットに対する退避・復帰処理を行うことができる。割り込み発生時のCPU例外処理と並行してレジスタ退避処理を行い、見かけ上レジスタ退避によるオーバーヘッドをゼロ若しくは大幅に低減することも可能である。図5では、レジスタセットの退避は、割り込み受付によって自動的に開始されるから、割り込みサービスルーチンの先頭命令が割り込みベクタに従ってフェッチされる前に開始され、割り込み応答性能は更に向上する。

#### 【0039】

図6には上記レジスタバンク方式による割り込み応答処理時間と割り込み復帰処理時間の一例が示される。図7にはその比較例としてレジスタバンクを採用せずデータ転送命令を用いてスタック領域との間で退避・復帰する場合の割り込み応答処理時間と割り込み復帰処理時間が示される。

#### 【0040】

##### 《レジスタバンクのオーバーフロー処理》

次にレジスタバンクのオーバーフロー処理について説明する。レジスタバンクがオーバーフローしたことを検知可能にするため、ステータスレジスタSRに、レジスタバンクがオーバーフローしたことを示すオーバーフローフラグBOを設

定する。図 8 にオーバーフローフラグ B O が例示される。

#### 【 0 0 4 1 】

レジスタバンクの全てのバンクに退避が行われている状態で割り込みが発生し、さらに C P U 2 で受け付けられた割り込みがレジスタバンクの使用を許可されている場合（レジスタバンクのオーバーフロー状態）、レジスタバンクの代わりにスタック領域に自動的にレジスタセットデータの退避を行なう。スタック領域への自動退避・復帰の動作は以下の通りである。

#### 【 0 0 4 2 】

退避動作では、まず、スタックポインタ S P の値にしたがってステータスレジスタ S R、プログラムカウンタ P C、及び前記所定のレジスタセット R 0 ～ R 1 4, G B R, M A C H, M A C L, P R をスタック領域に退避する。次にステータスレジスタ S R のレジスタバンクオーバーフロービット B O を “ 1 ” にセットする。バンク番号レジスタ I B N R のバンク番号 B N は最大値のまま変化させない。

#### 【 0 0 4 3 】

復帰動作では、ステータスレジスタ S R のレジスタバンクオーバーフロービット B O が “ 1 ” にセットされている状態で、バンク復帰命令 R E S B A N K 命令が実行されると、次のように動作する。まず、スタックポインタ S P の値にしたがってスタック領域から所定のレジスタセット R 0 ～ R 1 4, G B R, M A C H, M A C L, P R にデータを復帰する。バンク番号レジスタ I B N R のバンク番号 B N は最大値のまま変化させない。

#### 【 0 0 4 4 】

一方、レジスタバンクの全てのバンクに退避が行われている状態で割り込みが発生し、さらに C P U 2 で受け付けられた割り込みがレジスタバンクの使用を許可されていて、かつレジスタバンクエラー例外処理の発生を割り込みコントローラ内の所定の設定で選択していた場合、下記のレジスタバンクエラー例外処理が開始される。まず、ステータスレジスタ S R をスタック領域に退避する。次に、プログラムカウンタ（P C） 2 7 をスタック領域に退避する。退避するプログラムカウンタ（P C） 2 7 の値は、最後に実行した命令の次命令の先頭アドレスに

なっている。そして、発生したレジスタバンクエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行する。この場合は、レジスタバンクへの退避は行われず、バンク番号BNも変化しない。これは、レジスタバンクがオーバーフローしていてそれを使うことができなかったことを検出して、必要な処理を採ることが要求されているアプリケーションを考慮したものである。所望の性能が得られないことの検出や、あるいは少なくともデバック時には有効と考えられる。

#### 【0045】

ところでレジスタバンク復帰命令（RESBANK命令）を、レジスタバンクが空（BN=0）のときに実行した場合も、レジスタバンクエラー例外処理を行う。これは明らかに異常動作であり、その検出を必要と考えたものである。

#### 【0046】

上記オーバーフローフラグBOを設けることにより、レジスタセットへのデータ復帰処理では、レジスタバンクのオーバーフローを認識することができる。これにより、レジスタバンクのオーバーフローによるデータ処理装置の不所望な動作停止を抑止することができる。

#### 【0047】

##### 《タスクスイッチの考慮》

CPU2がOSの管理の下でマルチタスク処理を行なう場合、図9に例示されるように、割り込み処理の後の復帰先は必ずしも割り込み発生元とはならない。OSが管理するイベントの状況により、別のタスク（タスクB）に復帰する場合もある。

#### 【0048】

図10にはタスクスイッチが行なわれるときの処理手順が示される。図11には図10の処理におけるレジスタセット、レジスタバンク、及びOS内部テーブルの関係が例示される。図10及び図11を参照しながら、上記割り込みによるタスクスイッチについて考察する。前記CPU2は、割り込み例外処理の発生に応答して前記レジスタバンクへの退避処理を開始する(①)。割り込み例外処理後の割り込みサービスルーチンすなわちOS処理内では、前記CPU2は、最後

に退避されたレジスタバンクから前記所定のレジスタセットに記憶情報を復帰させる RES BANK 命令を実行する (②)。このとき、OS が管理するイベントの状況により、タスクスイッチを行なう場合、中央処理装置はスイッチ前のタスク (タスク A) のレジスタセットデータを OS 内部テーブルに保存し (③)、スイッチ後のタスク (タスク B) に関するレジスタセットの保存データを OS 内部テーブルからレジスタセットに回復する (④)。③及び④の処理は OS に基づく処理とされる。この後、CPU 2 は、タスク B としての復帰先プログラムカウンタの値とステータスレジスタの値が OS によってスタック領域中に準備調整されてから、それらをスタック領域から復帰させてスイッチ先のプログラム実行処理に復帰可能にするリターン命令 (RTE 命令) を実行する。中央処理装置は、前記 RES BANK 命令 (レジスタ回復命令) と RTE 命令 (リターン命令) を別々に持つ。これは、割り込み例外処理において OS からの復帰はタスクスイッチを伴う場合があることを考慮している。タスクスイッチを伴わなければ、上記レジスタ回復命令の後に続く OS による③及び④の処理は不要となり、前記レジスタ回復命令の処理とリターン命令の処理を分ける必要がなくなるが、双方の命令を一つの命令にすると、タスク切替えを行なうことが困難になり、オーバーヘッドを生ずる。また、双方の命令を一つの命令にした場合、OS による処理内容に対応した動作を当該命令のパラメータで指示したりすることが必要になり、OS 内部テーブルに対するアドレッシングモード、タスクスイッチの有無による処理ルーチンの相違の指示等を特定しなければならず、パラメータが増え、命令が複雑化する。

#### 【 0 0 4 9 】

前記 RES BANK 命令 (バンク復帰命令) をサブルーチンリターン命令のような RTE 命令とは独立のバンク回復専用命令とするから、タスクスイッチを伴う場合、タスクスイッチを伴わない場合の何れに対しても割り込みからの復帰を円滑に、且つ無駄無く行なうことができ、マルチタスク処理への適応性に優れる。

#### 【 0 0 5 0 】

《レジスタバンク転送命令》

CPU2の命令セットには図12に示すように、レジスタバンク転送命令がある。レジスタバンク転送命令は、デバッグ用命令であり、レジスタバンクの任意のデータを汎用レジスタR0との間で転送する命令である。LDBANK命令はRmが示すレジスタバンクアドレスからの4バイトデータをR0に転送する命令である。STBANK命令はR0をRnが示すレジスタバンクアドレスへ転送する命令である。

#### 【0051】

図13にはレジスタバンク転送命令のアドレス(LDBANKはRm、STBANKはRnの値)と、レジスタバンクのエントリの対応を示す。アドレスの15～7ビット(BN)でバンク番号を指定し、アドレスの6～2ビット(EN)でバンク内のエントリ(R0～R14、GBR、MACH、MACL、PR、IVN)を指定する。アドレスの31～16ビットと1～0ビットは全て0にされて利用される。

#### 【0052】

レジスタバンク転送命令により、一命令でレジスタバンクの任意のデータを転送する事が可能になる。

#### 【0053】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

#### 【0054】

例えば、浮動小数点演算ユニット(FPU)、ディジタル信号処理プロセッシングユニット(DSP)といったコプロセッサレジスタもレジスタセットに含めて汎用レジスタ等と一緒に退避・復帰するようにしてもよい。割り込み処理でコプロセッサレジスタを使用する場合、これらのレジスタも同時退避・復帰できるようにすると、より性能が向上する。ただし、コプロセッサレジスタを使用しない割り込み処理の考慮や、より多くのバンク領域を用意する必要がある。コプロセッサレジスタの退避・復帰処理時間を削減することができる。

#### 【0055】

また、割り込み数分のバンク領域を確保できない場合、割り込み選択型レジスタバンクという方式を採ることも可能である。割り込み発生時、バンクに空きがなかった際はスタック領域を使用することになるが、割り込みネスト状況によっては高レベルの割り込みがバンクを使用できないという事態が発生し、リアルタイムシステムにおいては致命傷となる可能性がある。このため、バンクに空きがない場合には、バンクを使用する割り込みを選択できるようにして、リアルタイム性を確保する。バンク領域が制限されたマイクロコンピュータでの割り込み性能の改善に役立つ。

#### 【0056】

更に具体的には、割り込みレベル毎に、「バンク割り込み（必ずバンクを使用する割り込みレベル）」と「don't care割り込み（バンク、スタックどちらを使用しても良い割り込みレベル）」を静的に決定する。そして、割り込み発生時のバンク切り換え命令によって、発生した割り込みがバンク割り込みであればレジスタバンクを切り換える（例：カレントバンク 0→1）。don't care割り込みであれば、「残りバンク数－残りバンク割り込み数」が1以上のときバンクを切り換え、0のときはカレントバンクの内容をスタックに退避することで、don't care割り込みもバンクを有効に活用する。レジスタ退避先が、バンクとスタックにまたがるため、CPUは、どのバンクを使用中に何回スタッキングがあったかを記憶しておき、バンク切り換え命令がその情報をもとにバンクを切り換え、スタック・ポップ（pop）を制御する。ただし、バンクとスタック制御が必要になるため、全割り込みバンク方式より性能は劣り、CPUのハードウェアも複雑になる。

#### 【0057】

また、割り込みだけでなく、全タスクにそれぞれレジスタバンクを設けることで、タスク切り換え時のレジスタ退避・回復処理を省く事ができる。タスクのレジスタ退避・復帰も高速化できる。ハードウェアはOSのタスクを認識できないため、どのタスクがどのバンクに割り当てられているかという情報をもとにバンク切り換えを行う必要がある。この方式の場合、上記同様、CPUのハードウェアが複雑になり、大容量バンクを必要とする。

**【0058】**

また、RAM領域とは異なる専用バスを用いた領域を設ける。命令の他の実行ステージと並列にメモリアクセス可能とし、見かけ上メモリアクセスオーバーヘッドゼロとなる。本領域は、アドレス空間に割り当てられ、通常のメモリ領域と同様にアクセス可能とする。スタック専用メモリ領域によるレジスタ退避・復帰の高速化、割り込み処理及びタスク処理の性能向上を図ることができるが、RAM兼用とすることで用途を広げることできる。

**【0059】**

また、レジスタバンクはCPU内のレジスタセットに対してRAM上に割り当てられる回路に限定されない。概念としては、複数のレジスタセットを構成するレジスタファイルによって構成してもよい。

**【0060】****【発明の効果】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

**【0061】**

すなわち、レジスタバンクのオーバーフローフラグを採用するから、レジスタセットへのデータ復帰処理では、レジスタバンクのオーバーフローを認識することができる。これにより、レジスタバンクのオーバーフローによるデータ処理装置の不所望な動作停止を抑止することができる。

**【0062】**

バンク復帰命令をリターン命令とは独立のバンク回復専用命令とするから、タスクスイッチを伴う場合、タスクスイッチを伴わない場合の何れに対しても割り込みからの復帰を円滑に、且つ無駄無く行なうことができ、マルチタスク処理への適応性に優れる。

**【0063】**

複数レジスタ同時退避により、割り込み処理時間を向上させることができる。バンク領域を専用バス接続し並列処理することにより、見かけ上レジスタ退避・復帰処理のオーバーヘッドを低減する事ができる。

**【図面の簡単な説明】****【図 1】**

本発明の一例に係るデータプロセッサのブロック図である。

**【図 2】**

レジスタバンクと退避・復帰対象のレジスタセットを例示する説明図である。

**【図 3】**

所定のレジスタセットに対する退避・復帰用の制御レジスタの一例を示す説明図である。

**【図 4】**

レジスタバンク R B K 0 ~ R B K i の動作形態を例示する説明図である。

**【図 5】**

割り込み発生時の C P U 処理と並行してレジスタ退避処理が可能にされる様子を例示するタイミングチャートである。

**【図 6】**

レジスタバンク方式による割り込み応答処理時間と割り込み復帰処理時間の一例を示す説明図である。

**【図 7】**

図 6 の比較例としてレジスタバンクを採用せずデータ転送命令を用いてスタック領域との間で退避・復帰する場合の割り込み応答処理時間と割り込み復帰処理時間を例示する説明図である。

**【図 8】**

ステータスレジスタに対するオーバーフローフラグの配置を示す説明図である。

**【図 9】**

C P U が O S の管理の下でマルチタスク処理を行なう場合に割り込み処理の後の復帰先は必ずしも割り込み発生元とはならず、タスクスイッチされる場合のあることを示す説明図である。

**【図 10】**

タスクスイッチが行なわれるときの処理手順を例示する説明図である。



**【図 1 1】**

図 1 0 の処理におけるレジスタセット、レジスタバンク、及び O S 内部テーブルの関係を例示する説明図である。

**【図 1 2】**

レジスタバンク転送命令の説明図である。

**【図 1 3】**

レジスタバンク転送命令が指定するアドレスとレジスタバンクのエントリの対応を示す説明図である。

**【符号の説明】**

1 データプロセッサ

2 C P U

3 バンクメモリ

R B K 0 ~ R B K i レジスタバンク

4 割り込みコントローラ

I R Q 割り込み信号

I B C R バンクコントロールレジスタ

I B N R バンク番号レジスタ

B N バンク番号

7 R A M

1 7 レジスタバンク専用バス

2 1 命令デコーダ

2 3 レジスタ回路

2 6 システムコントローラ

2 7 プログラムカウンタ ( P C )

R 0 ~ R 1 5 汎用レジスタ

S P スタックポインタ

M A C H , M A C L 乗算レジスタ

P R プロシージャレジスタ

G B R グローバルベースレジスタ

I V N 割り込みベクタレジスタ

R B R リードバッファレジスタ

W B R ライトバッファレジスタ

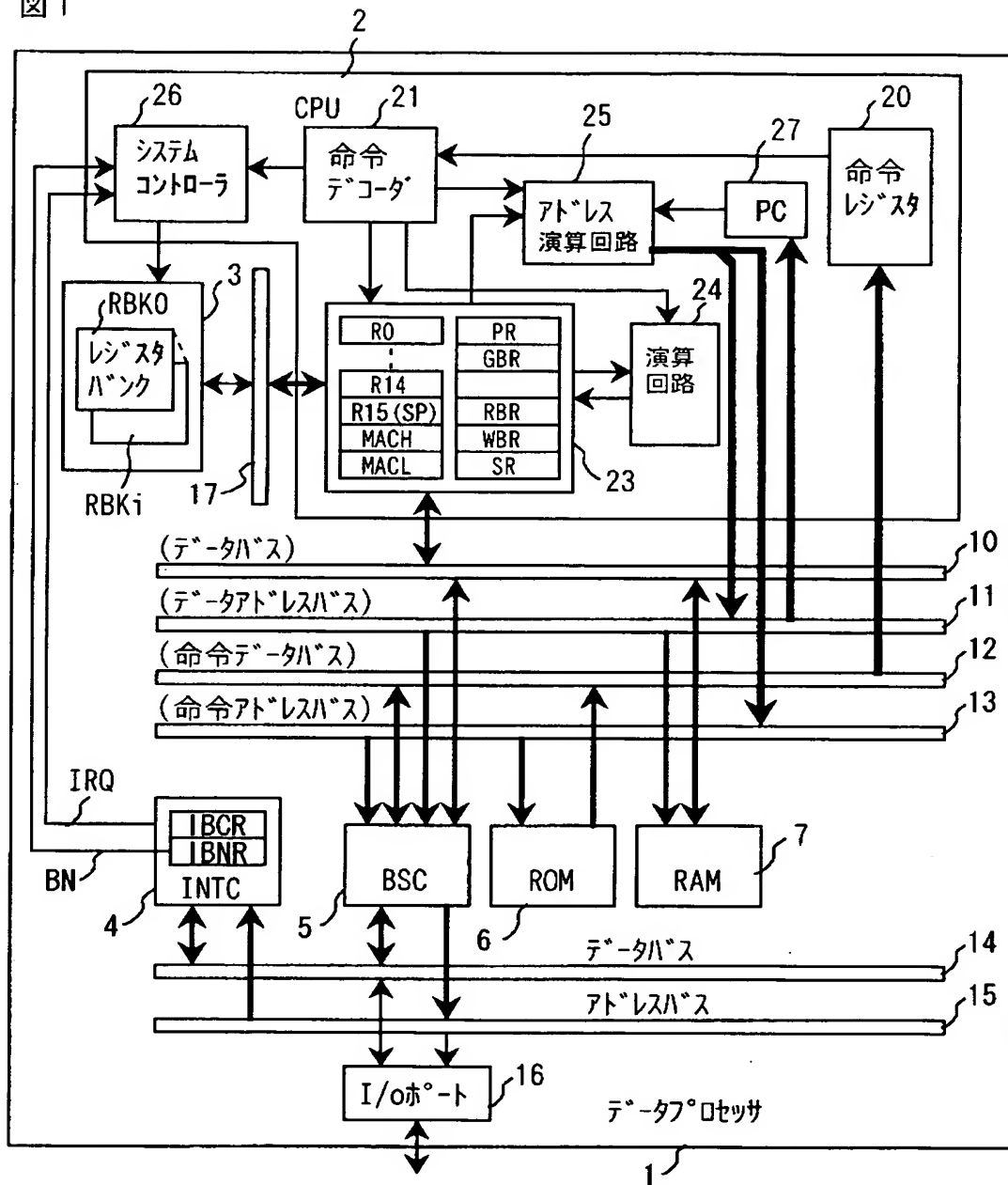
S R ステータスレジスタ

B O オーバーフローフラグ

【書類名】 図面

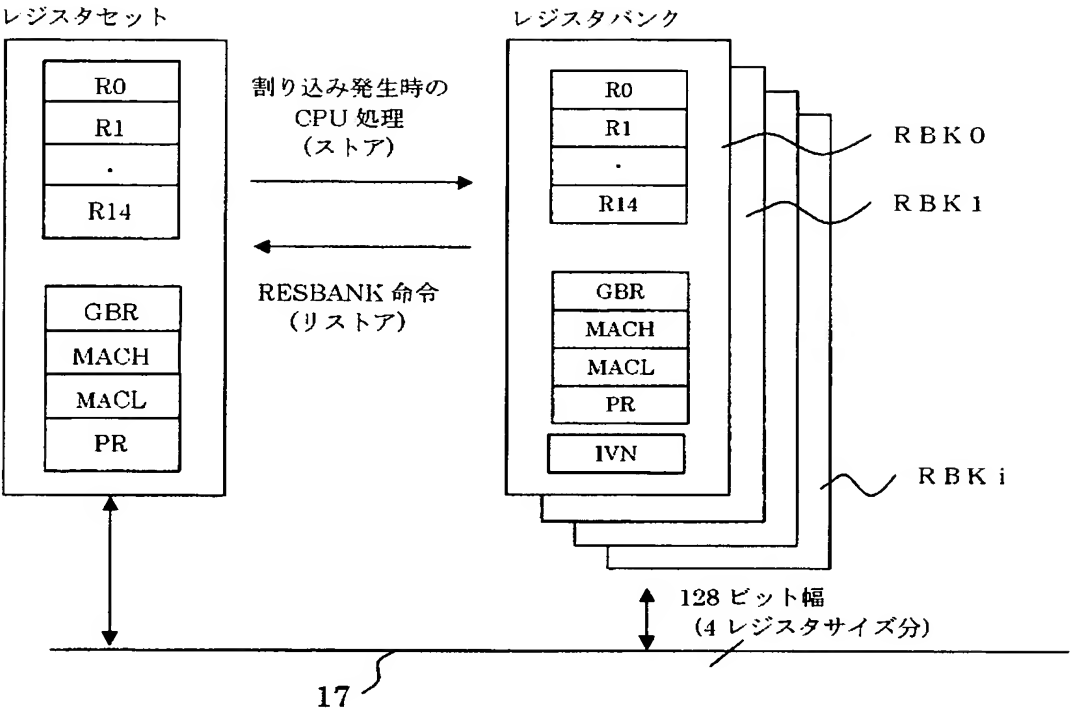
【図 1】

図 1



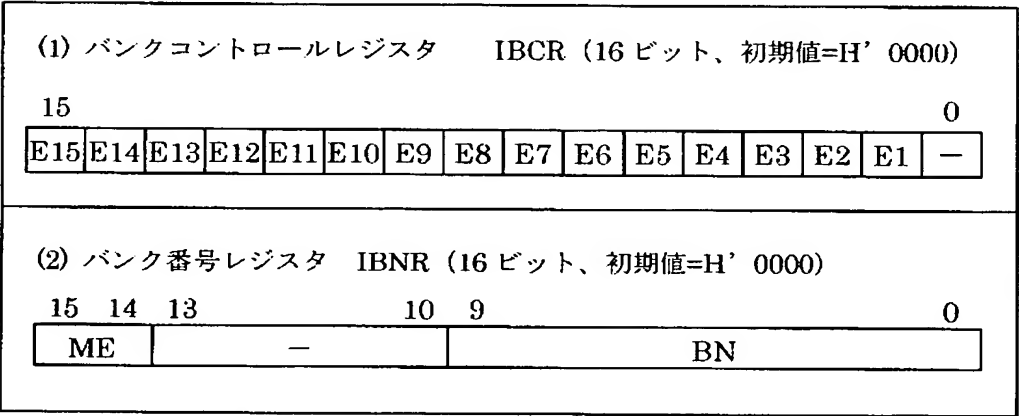
【図 2】

図 2

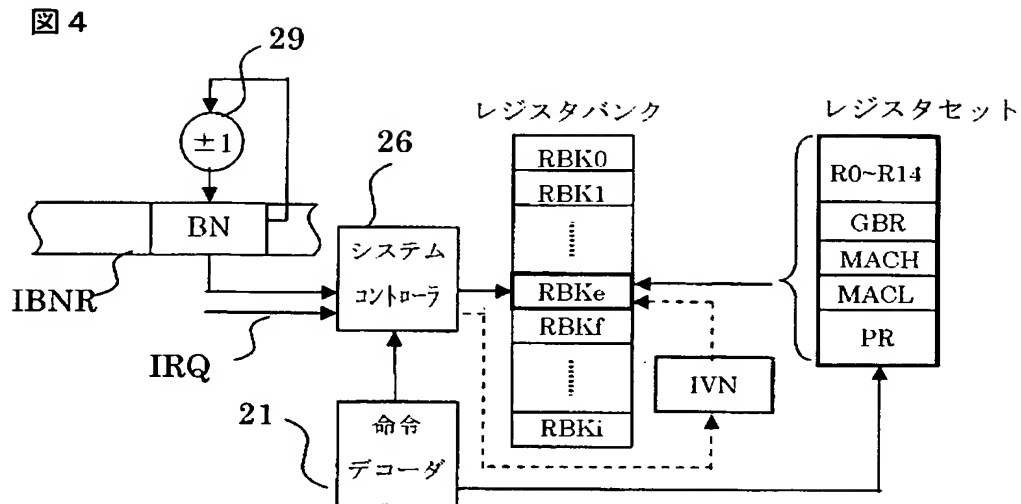


【図 3】

図 3



【図 4】



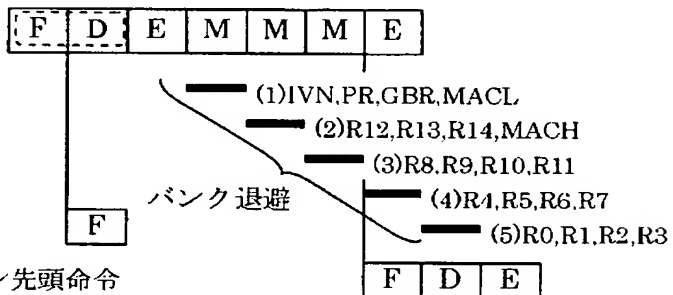
【図 5】

図 5

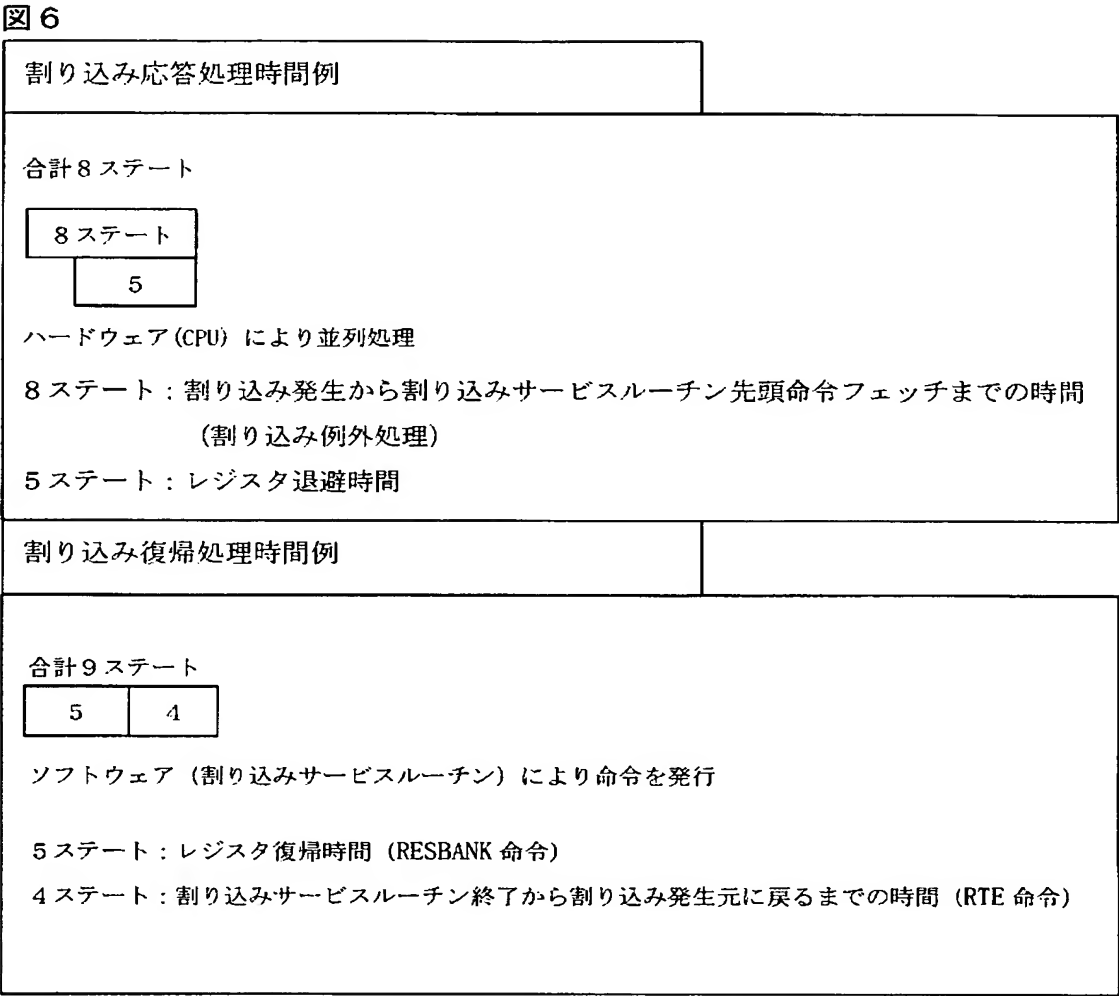
命令 (割り込み例外処理に  
置き換えられる命令)

オーバランフェッチ

割り込みサービスルーチン先頭命令

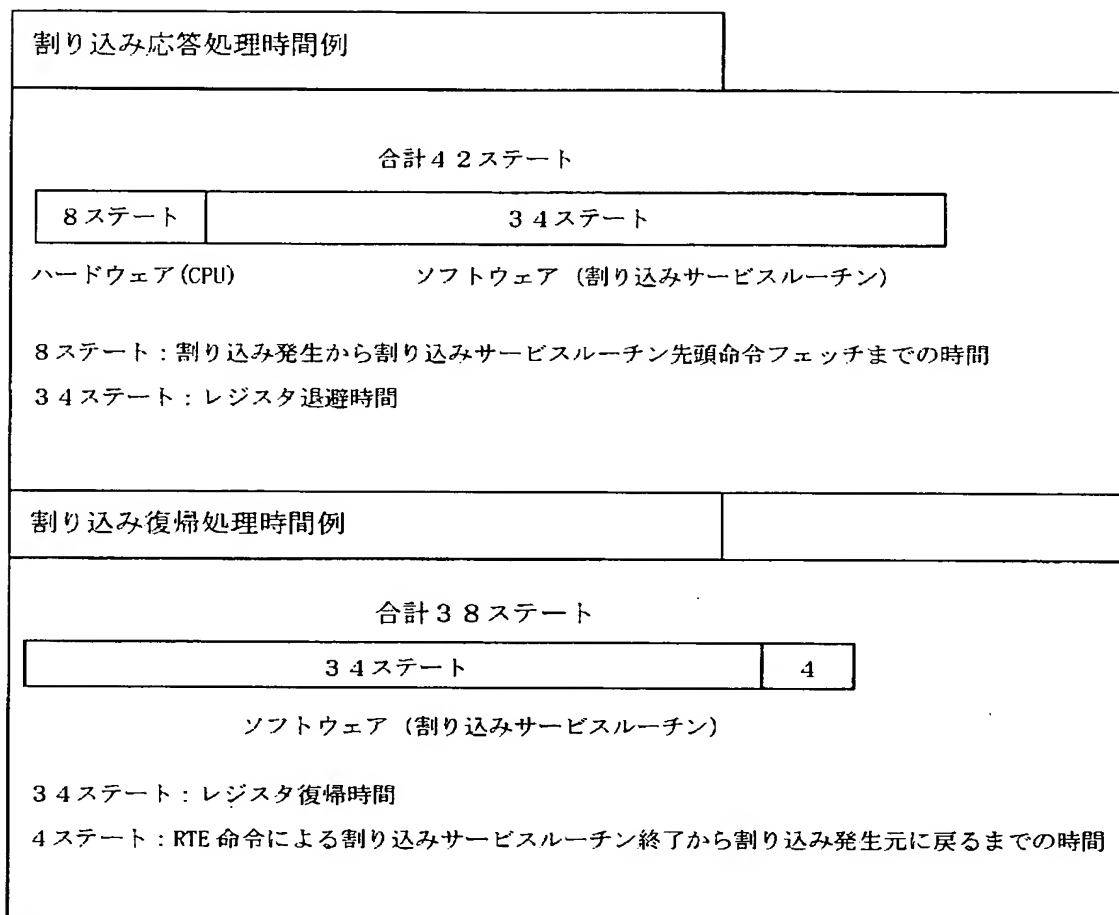


【図 6】



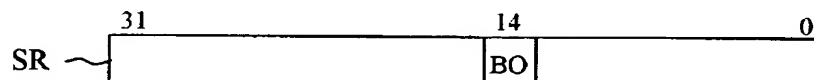
【図 7】

図 7



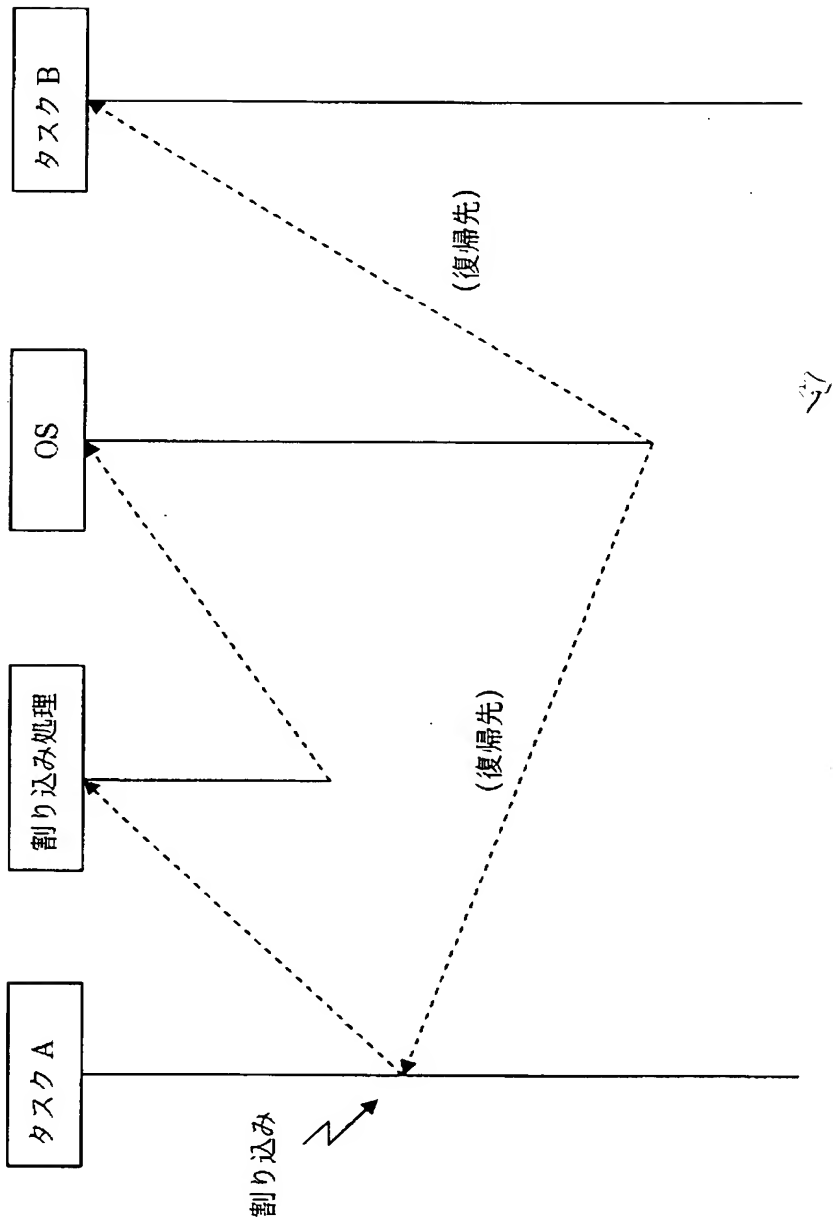
【図 8】

図 8



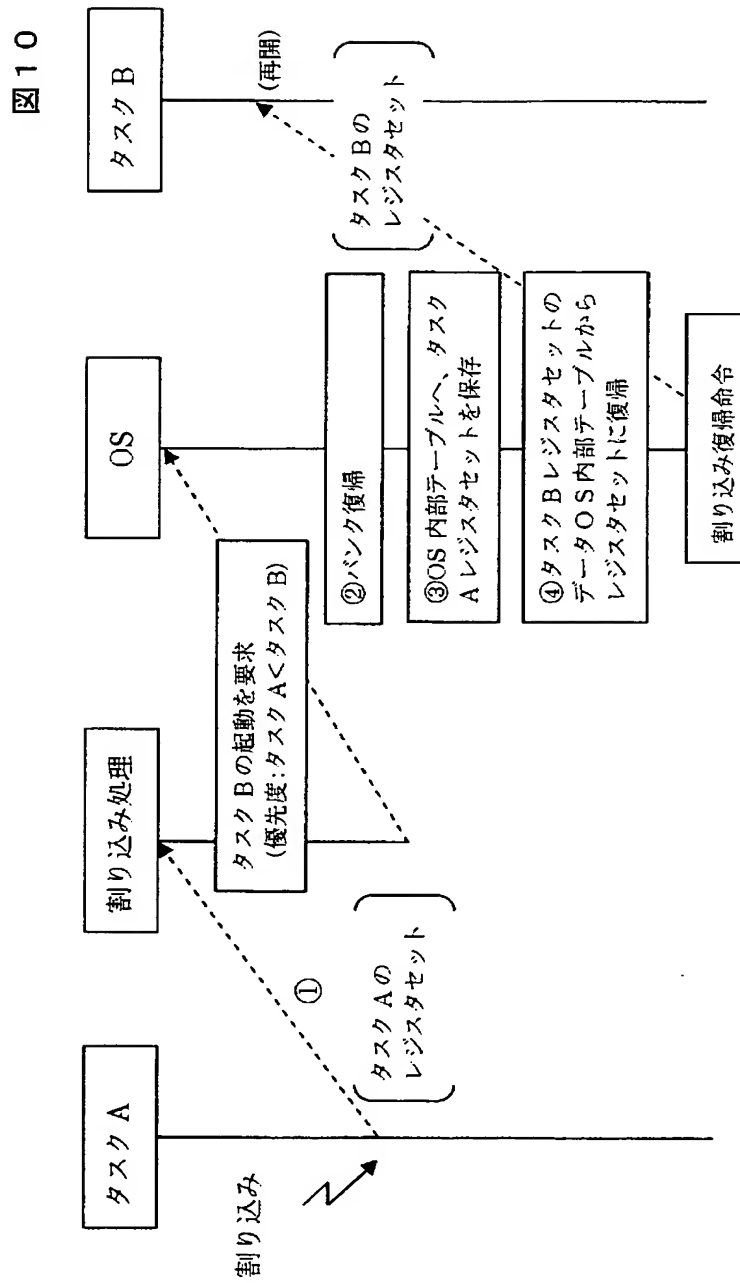
【図 9】

図 9



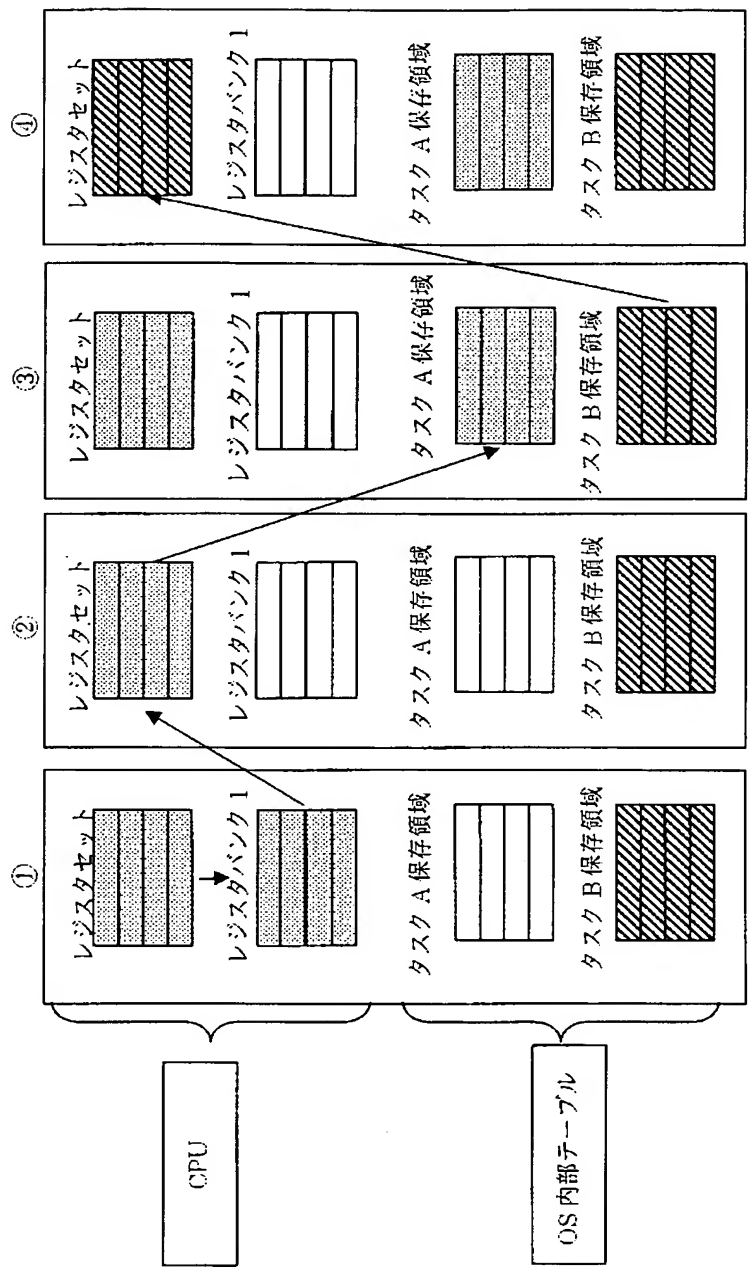


【図 10】



【図 11】

図 11



## 【図 1 2】

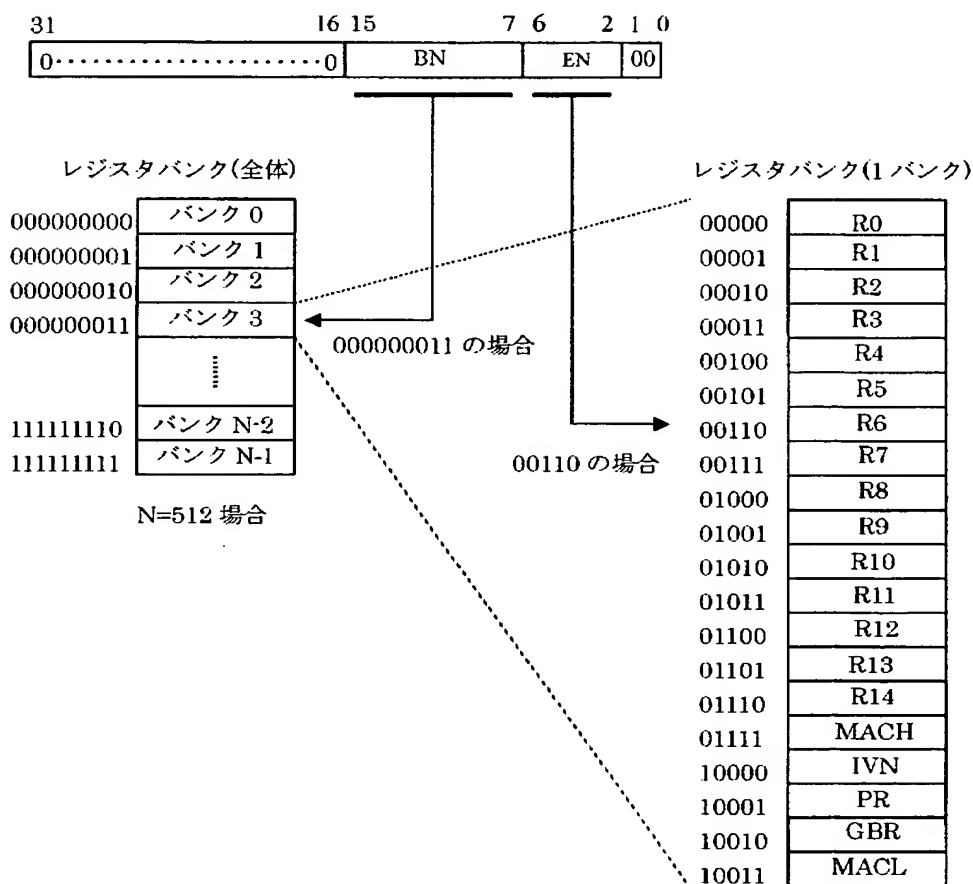
図 1 2

ニーモニック	動作内容
LDBANK @Rm, R0	Rm が示すレジスタバンクアドレスからの 4 バイトデータを R0 に転送
STBANK R0, @Rn	R0 を Rn が示すレジスタバンクアドレスへ転送

## 【図 1 3】

図 1 3

レジスタバンク転送命令のアドレス



【書類名】 要約書

【要約】

【課題】 レジスタバンクのオーバーフローによるデータ処理装置の不所望な動作停止を抑止する。

【解決手段】 ステータスレジスタ（SR）に複数のレジスタバンク（RBK 0 ～ RBK i）のオーバーフロー状態を示すためのオーバーフローフラグ（BO）を設ける。レジスタバンクの全てのバンクに退避が行われている状態で割り込み例外が発生し、受け付けられた割り込み例外がレジスタバンクの使用を許可されているとき、CPUは、スタック領域にレジスタセットのデータを退避させ、前記オーバーフローフラグにオーバーフロー状態を反映させる。オーバーフローフラグがオーバーフロー状態になっているとき、レジスタバンクからレジスタセットへのデータ復帰が指示されると、中央処理装置はスタック領域からレジスタセットにデータを復帰する。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-320788

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 2 - 3 2 1 6 4 9 号 同日提出の出願人  
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2002-320788
受付番号	50301210802
書類名	出願人名義変更届 (一般承継)
担当官	伊藤 雅美 2132
作成日	平成15年10月 7日

<認定情報・付加情報>

【提出日】 平成15年 7月23日

特願 2 0 0 2 - 3 2 0 7 8 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 2 0 7 8 8

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ